

Attorney Docket # 5267-73

Express Mail #EV410260624US
Patent

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of
Hiroshi TANIGAWA et al.
Serial No.: n/a
Filed: concurrently
For: Constant Voltage Power Supply

LETTER TRANSMITTING PRIORITY DOCUMENT

Mail Stop **Patent Application**
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SIR:

In order to complete the claim to priority in the above-identified application under 35 U.S.C. §119, enclosed herewith is the certified documentation as follows upon which the priority claim is based:

Application No. **2002-340607**, filed on November 25, 2002, in Japan.

Respectfully submitted,
COHEN, PONTANI, LIEBERMAN & PAVANE

By Thomas Langer
Thomas Langer
Reg. No. 27,264
551 Fifth Avenue, Suite 1210
New York, New York 10176
(212) 687-2770

Dated: November 24, 2003

5267-73

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 2 5 日

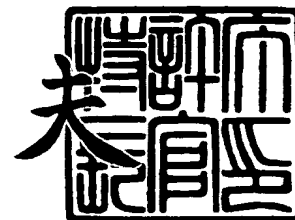
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 4 0 6 0 7
[ST. 10/C]: [J P 2 0 0 2 - 3 4 0 6 0 7]

出 願 人
Applicant(s): 東光株式会社

2 0 0 3 年 1 1 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 2 6 1 9

【書類名】 特許願

【整理番号】 P6263

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/56
H03G 3/10

【発明者】

【住所又は居所】 埼玉県鶴ヶ島市大字五味ヶ谷 1 8 番地 東光株式会社
埼玉事業所内

【氏名】 谷川 寛

【発明者】

【住所又は居所】 埼玉県鶴ヶ島市大字五味ヶ谷 1 8 番地 東光株式会社
埼玉事業所内

【氏名】 山根 寛

【特許出願人】

【識別番号】 000003089

【氏名又は名称】 東光株式会社

【代表者】 坂元 弘

【電話番号】 049-279-1721

【手数料の表示】

【予納台帳番号】 038737

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 定電圧電源

【特許請求の範囲】

【請求項 1】 電源回路の入出力端子間に接続された直列制御用トランジスタと、その出力端子が該直列制御用トランジスタの制御端子に接続された誤差増幅回路とを備え、該誤差増幅回路の各入力端子に供給された基準電圧信号と出力電圧信号に応じて該直列制御用トランジスタの動作が制御され、これにより出力電圧が安定化される定電圧電源において、

差動対を形成するように主電流路の一端が共通接続された第 1 と第 2 のトランジスタを備える第 1 の増幅回路と、

該第 2 のトランジスタの主電流路の他端に現れる信号がその制御端子に供給される第 3 のトランジスタを備える第 2 の増幅回路と、

その制御端子と主電流路の一端が該第 3 のトランジスタの制御端子に接続され、該第 3 のトランジスタと共にカレントミラー回路を構成する第 4 のトランジスタと、

該第 4 のトランジスタの主電流路の他端に直列に接続され、外部制御信号に応じてオンオフする第 1 のスイッチと、

を具備することを特徴とする定電圧電源。

【請求項 2】 前記第 3 のトランジスタと前記第 4 のトランジスタの各チャネル幅とチャネル長の比が同じであることを特徴とする、請求項 1 に記載した低電圧電源。

【請求項 3】 前記第 1 と第 2 のトランジスタの主電流路の他端にそれぞれ接続された第 1 と第 2 の能動負荷素子と、

前記外部制御信号に応じてオンオフし、オン状態の時には該第 1 の能動負荷素子の端子間を短絡すると共に該第 2 の能動負荷素子を遮断状態にする第 2 のスイッチと、

を具備することを特徴とする、請求項 1 あるいは請求項 2 に記載した定電圧電源。

【請求項 4】 負荷がスリープモードであることを示す前記外部制御信号の状

態に応じて前記第 1 と第 2 のスイッチはオン状態となり、負荷がアクティブモードであることを示す該外部制御信号の状態に応じて該第 1 と第 2 のスイッチはオフ状態となることを特徴とする、請求項 3 に記載した定電圧電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は定電圧電源に関し、負荷のスリープモード、アクティブモードに対応して誤差増幅器のゲインを切替えて使用するための技術に関する。

【0002】

【従来の技術】

近年の電子機器の多くは、設定された条件が満たされた時、機器の一部、例えば表示装置部分などが通常動作状態（以下、アクティブモードという）から省電力動作状態（以下、スリープモードという）に移行するようになっている。

負荷がアクティブモードにある時、その負荷に電源を供給する定電圧電源には負荷の変動に速やかに応答し、出力電圧を高い精度で安定化すること（以下、高速応答特性という）が要求される。しかし負荷がスリープモードにある時、負荷変動はほとんど無くなるため、定電圧電源の高速応答特性はさほど重要でなくなる。

【0003】

そこで、定電圧電源の省電力化を図るために、定電圧電源の内部に、その高速応答特性を高くするが消費電力の大きい第 1 の誤差増幅器と、第 1 の誤差増幅器よりも定電圧電源の高速応答特性は低くなる（便宜上、低速応答という）が消費電力は小さい第 2 の誤差増幅器を併設する。そして、負荷のスリープモード、アクティブモードに対応して第 1 と第 2 の誤差増幅器を切替えて使用するという形態の定電圧電源が提案されていた。（例えば特許文献 1、特許文献 2 を参照。）

図 6 には、2 つの誤差増幅器を切替えて使用する定電圧電源の回路構成の一例を示した。

【0004】

図 6 において、E A 1 は高速応答・大消費電力タイプの第 1 の誤差増幅器であ

り、E A 2 は低速応答・小消費電力タイプの第 2 の誤差増幅器である。第 1 の誤差増幅器 E A 1 の出力端子はスイッチ S W 1 を介して直列制御用のパワートランジスタ P T r のゲートに接続され、第 2 の誤差増幅器 E A 2 の出力端子はスイッチ S W 2 を介してパワートランジスタ P T r のゲートに接続されている。P チャネル型のパワートランジスタ P T r のソースは定電圧電源の入力端子 1 を介して電圧安定性の低い電源ライン (Vcc) に接続され、パワートランジスタ P T r のドレインは定電圧電源の出力端子 2 を介して負荷 5 に接続されている。

【0005】

パワートランジスタ P T r のドレインと回路の基準電位点、すなわちグランドとの間には抵抗 R 1 1、抵抗 R 1 2、トランジスタ Q 1 の主電流路が直列に接続され、抵抗 R 1 1 と抵抗 R 1 2 の接続点は第 1 の誤差増幅器 E A 1 の非反転入力端子 (+) に接続されている。また、パワートランジスタ P T r のドレインとグランドとの間には抵抗 R 2 1、抵抗 R 2 2、トランジスタ Q 2 の主電流路が直列に接続され、抵抗 R 2 1 と抵抗 R 2 2 の接続点は第 2 の誤差増幅器 E A 2 の非反転入力端子 (+) に接続されている。

【0006】

第 1 と第 2 の誤差増幅器 E A 1、E A 2 の各反転入力端子 (-) はそれぞれ基準電圧信号 (Vref) が供給される信号端子 3 に接続されている。

そして、負荷の状態を検知し、負荷状態に応じてスイッチ S W 1 とトランジスタ Q 1 の組みとスイッチ S W 2 とトランジスタ Q 2 の組みの一方の組みを択一的にオン状態にする切替え論理回路 6 が設けられている。

【0007】

このような構成の定電圧電源では、負荷がアクティブモードにある時、切替え論理回路 6 からの信号によってスイッチ S W 1 とトランジスタ Q 1 の組みがオン状態、スイッチ S W 2 とトランジスタ Q 2 の組みがオフ状態となる。すると第 1 の誤差増幅器 E A 1 が稼動し、パワートランジスタ P T r は第 1 の誤差増幅器 E A 1 によって駆動される。その結果、定電圧電源は、相対的に消費電力が大きくなるものの高速応答特性の優れた動作状態となる。

【0008】

逆に負荷がスリープモードにある時、今度は切替え論理回路 6 からの信号によってスイッチ SW1 とトランジスタ Q1 の組みがオフ状態、スイッチ SW2 とトランジスタ Q2 の組みがオン状態となる。すると第 2 の誤差増幅器 EA2 が稼動し、パワートランジスタ PTr は第 2 の誤差増幅器 EA2 によって駆動される。その結果、定電圧電源は、相対的に高速応答特性は低下するものの消費電力の小さい動作状態となる。

このように図 6 の定電圧電源は、高速応答特性が必要な時には相応の高速応答特性が得られ、高速応答特性が不要なときには省電力化が図れるものとなっている。

【0009】

【特許文献 1】

特開 2001-117650 号公報

【特許文献 2】

特開 2001-222331 号公報

【0010】

【発明が解決しようとする課題】

負荷がスリープモードにある時、当然の事ながら定電圧電源を通過する電流量は減少する。通過電流量が極端に小さくなった時、直列制御用パワートランジスタを駆動する誤差増幅器のゲインが高いと定電圧電源の回路動作が不安定化し、発振現象の出現などの可能性が高くなる。そこで図 6 の定電圧電源は第 2 の誤差増幅器 EA2 のゲインを第 1 の誤差増幅器 EA1 よりも低く設定し、これによりアクティブモードでの高速応答特性とスリープモードでの回路動作の安定性（以下、動作安定性と言う）の両立を図っていた。

【0011】

確かに、2 つの誤差増幅器を切替えて使用する定電圧電源は、高速応答特性と動作安定性の両立、そして省電力化などの性能的な面は優れている。しかし実際に定電圧電源を集積回路上に形成しようとする、大きな回路面積が必要でコストが増加するという問題があった。このような問題に対して特許文献 1 には、発明の第 2 の局面として、負荷のスリープモード、アクティブモードに対応して内

部の動作電流の大きさを切替える誤差増幅器の構成と、それを組み込んだ定電圧電源も提案されていた。

【0012】

しかし、ただ単に動作電流の大きさだけを切替える誤差増幅器では、定電圧電源の所要回路面積の縮小化と省電力化は達成できても、アクティブモードでの高速応答特性とスリープモードでの動作安定性を両立させるほどのゲイン切替えは困難であった。

そこで本発明は、大きな回路面積を必要とせず、アクティブモードでの高速応答特性とスリープモードでの動作安定性を両立することのできる定電圧電源を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するための本発明は、電源回路の入出力端子間に接続された直列制御用トランジスタと、その出力端子が直列制御用トランジスタの制御端子に接続された誤差増幅回路とを備え、誤差増幅回路の各入力端子に供給された基準電圧信号と出力電圧信号に応じて直列制御用トランジスタの動作が制御され、これにより出力電圧が安定化される定電圧電源において、差動対を形成するように主電流路の一端が共通接続された第1と第2のトランジスタを備える第1の増幅回路と、第2のトランジスタの主電流路の他端に現れる信号がその制御端子に供給される第3のトランジスタを備える第2の増幅回路と、その制御端子と主電流路の一端が該第3のトランジスタの制御端子に接続され、第3のトランジスタと共にカレントミラー回路を構成する第4のトランジスタと、第4のトランジスタの主電流路の他端に直列に接続され、外部制御信号に応じてオンオフする第1のスイッチと、を具備することを特徴とする。

【0014】

【発明の実施の形態】

定電圧電源を構成する誤差増幅器内部に、差動対を形成するようにソースが共通接続された第1と第2のトランジスタを備える差動増幅回路と、第2のトランジスタのドレインにゲートが接続された第3のトランジスタを備える増幅段回路

を設ける。

そして更に第4のトランジスタを設け、第3のトランジスタとカレントミラー回路を構成するように、第4のトランジスタのゲートとソースを第3のトランジスタのゲートに接続する。第4のトランジスタのドレインには外部制御信号に応じてオンオフする第1のスイッチを接続する。

【0015】

負荷がアクティブモードである時には外部制御信号によって第1のスイッチをオフ状態とし、第4のトランジスタを非稼動状態とする。すると第3のトランジスタと第4のトランジスタはカレントミラー動作をせず、第3のトランジスタに信号増幅作用が現れる。その結果、誤差増幅器のゲインが高くなり、定電圧電源の高速応答特性が良好になる。

一方、負荷がスリープモードである時には外部制御信号によって第1のスイッチをオン状態とし、第4のトランジスタを稼動状態とする。すると第3のトランジスタと第4のトランジスタはカレントミラー動作を行い、第3のトランジスタから信号増幅作用が失われる。その結果、誤差増幅器のゲインが低くなり、通過電流低下時における動作安定性が向上する。

【0016】

【実施例】

集積回路上に形成する際に大きな回路面積を必要とせず、アクティブモードでの高速応答特性とスリープモードでの動作安定性の両立を可能にした本発明による定電圧電源の実施例を図1と図2に示した。なお、図1は本発明による定電圧電源と負荷および切替え論理回路の接続位置の関係を主に示し、図2は本発明の中心部分である誤差増幅器の回路構成を具体的に示している。

図1において、VEAは図2に示すような構成を持つ可変ゲイン型の誤差増幅器であり、定電圧電源の外部制御信号入力端子4を介して信号S_gが供給されるようになっている。

【0017】

誤差増幅器VEAの出力端子は直列制御用のパワートランジスタPT_rのゲートに接続され、誤差増幅器VEAの反転入力端子(−)は基準電圧信号(V_{ref}

) が供給される基準電圧入力端子 3 に接続されている。

P チャネル型のパワートランジスタ PTr のソースは定電圧電源の入力端子 1 を介して電圧安定性の低い電源ライン (V_{cc}) に接続され、パワートランジスタ PTr のドレインは定電圧電源の出力端子 2 を介して負荷 5 に接続されている。パワートランジスタ PTr のドレインとグランドとの間には抵抗 $R1$ と抵抗 $R2$ が直列に接続され、抵抗 $R1$ と抵抗 $R2$ の接続点は誤差増幅器 VEA の非反転入力端子 (+) に接続されている。

【0018】

そして、負荷の状態を検知し、負荷状態に応じた信号 S_g を外部制御信号入力端子 4 に供給する切替え論理回路 6 が設けられている。

要するに図 1 の定電圧電源は、負荷がアクティブモードであるときには切替え論理回路 6 から供給される信号 S_g の状態に応じて誤差増幅器 VEA のゲインを高くし、負荷がスリープモードであるときには逆に誤差増幅器 VEA のゲインを低くする。これによりアクティブモードでの高速応答特性とスリープモードでの動作安定性を両立させるものである。

【0019】

ゲインを段階的に切替える可変ゲイン型の誤差増幅器の中には、差動増幅回路が複数併設されたものや、中間あるいは出力増幅段回路が複数複数併設されたものが存在する。このような誤差増幅器を図 1 の誤差増幅器 VEA として使用すると、複数の誤差増幅器を設けたときと同様に定電圧電源を集積回路上に形成する際に大きな回路面積が必要となってしまう。

そこで本発明では、集積回路上に形成する際に必要となる回路面積を縮小するために、定電圧電源の内部に設置する誤差増幅器 VEA を図 2 に示すような構成とした。

【0020】

すなわち、差動対を形成するように N チャネル型のトランジスタ $M1$ と $M2$ の各ソースを共通接続し、そのソースの共通接続点を電流源 $CS1$ を介してグランドに接続する。トランジスタ $M1$ のドレインは並列関係にある P チャネル型のトランジスタ $M6$ とトランジスタ $M7$ の主電流路を介して定電圧電源の入力端子 1

に接続し、トランジスタM2のドレインはPチャネル型のトランジスタM8の主電流路を介して定電圧電源の入力端子1に接続する。トランジスタM7とトランジスタM8の各ゲートは共通接続し、トランジスタM7のゲート、ソース間は短絡する。

【0021】

トランジスタM2のドレインにPチャネル型のトランジスタM3のゲートを接続し、トランジスタM3のソースは入力端子1に、ドレインは電流源CS2を介してグランドにそれぞれ接続する。トランジスタM3のゲートにPチャネル型のトランジスタM4のゲートとドレインを共通接続し、トランジスタM4のソースはPチャネル型のトランジスタM5の主電流路を介して入力端子1に接続する。

【0022】

ここで、トランジスタM1、M2、M7、M8および電流源CS1は差動増幅回路A1を形成し、トランジスタM1のゲートは誤差増幅器VEAの反転側入力端子(−)として基準電圧入力端子3に接続され、トランジスタM2のゲートは誤差増幅器VEAの非反転側入力端子(+)として抵抗R1とR2の接続点に接続される。また、トランジスタM3と電流源CS2は出力増幅段回路A2を形成し、トランジスタM3のドレインは誤差増幅器VEAの出力端子としてパワートランジスタPTrのゲートに接続される。

【0023】

そして、トランジスタM4、M5およびM6はゲイン切替えのための回路部分を形成し、トランジスタM5とM6の各ゲートは外部制御信号入力端子4に接続されている。

なお、誤差増幅器VEAの外側に設けられている入力端子1、出力端子2、パワートランジスタPTr、抵抗R1およびR2の接続関係は従来と同様である。

【0024】

以上のような構成とした誤差増幅器VEAは、外部制御信号入力端子4を介して切替え論理回路6から供給される信号S_gに応じて次のようにゲインを切替える。なお、負荷5がアクティブモードである場合には信号S_gはハイレベルの状態、負荷5がスリープモードである場合には信号S_gはローレベルの状態になる

ものとする。

【0025】

信号 S_g がハイレベルになると図 2 中のトランジスタ M5 と M6 はオフ状態となる。この時、トランジスタ M5 と共にトランジスタ M4 もオフ状態になり、図 2 の回路は等価的に図 3 に示すような回路構成となる。図 3 の等価回路は、図 2 の回路からトランジスタ M4、M5、M6 を取り除き、その部分をオープンにした構成であり、これはごく一般的な誤差増幅器と同じ構成である。そして等価的に図 3 に示すような回路構成となった図 2 の回路では、トランジスタ M1 と M2 の各ゲートに入力されたそれぞれの信号の差分は、トランジスタ M2、トランジスタ M3、パワートランジスタ PTr によって順次増幅されることになる。

【0026】

一方、信号 S_g がローレベルになると図 2 中のトランジスタ M5 と M6 はオン状態となる。ここで、トランジスタ M6 によってソース、ゲート間が短絡されたトランジスタ M7 はオフ状態となり、これに伴ってトランジスタ M7 とカレントミラー動作をするトランジスタ M8 もオフ状態となる。そして、トランジスタ M4 はトランジスタ M5 と同様にオン状態となり、その接続構成からトランジスタ M4 と M3 はカレントミラー動作を行うようになる。この時、図 2 の回路は等価的に図 4 に示すような回路構成となる。図 4 の等価回路は、図 2 の回路からトランジスタ M5、M6、M7、M8 を取り除いてその部分をオープンにした後、トランジスタ M1 のドレインとトランジスタ M4 のソースを入力端子 1 に直接接続した構成となっている。

【0027】

図 4 の等価回路において、例えばトランジスタ M3 と M4 のパラメータ（トランジスタのチャネル幅とチャネル長の比）が等しいと仮定すると、トランジスタ M3 の主電流路を通過する電流はトランジスタ M4 の主電流路を通過する電流、すなわちトランジスタ M2 のドレイン電流と等しくなる。この場合、トランジスタ M3 からは図 3 の等価回路の時のような信号増幅作用が失われる。

したがって、等価的に図 4 の回路構成となった図 2 の回路においては、トランジスタ M1 と M2 の各ゲートに入力されたそれぞれの信号の差分は、トランジス

タM2とパワートランジスタPT_rによって順次増幅されることになる。

【0028】

つまり図1、図2に示す定電圧電源は、負荷のアクティブモード、スリープモードに対応した信号(S_g)の状態に応じて、トランジスタM1、M2の差動対からパワートランジスタPT_rに至る回路部分の増幅段数を3段、あるいは2段に切替える。具体的には、トランジスタM4を稼動状態(あるいは非稼動状態)とすることによってトランジスタM3の信号増幅作用を無くし(あるいは信号増幅作用を発現させ)、実質的な増幅段数を加減している。(なお、3段、2段の増幅段数はパワートランジスタPT_rも1段として数えている。)

【0029】

ここで一般的な誤差増幅器の回路構成(図3)と比べると、図2中の誤差増幅器VEAはトランジスタM4、M5、M6が追加されただけである。これにより本発明による定電圧電源はゲイン切替えのための追加素子数を最小限に止め、アクティブモードでの高速応答特性とスリープモードでの動作安定性の両立を可能にすると同時に集積回路上に形成する際の回路面積を縮小を可能にしている。

【0030】

図5には図2よりも更に詳細な誤差増幅器VEAの回路構成を示した。図5の回路は、以下の回路部分を除いて図2の回路とはほぼ同じ構成になっている。

先ず誤差増幅器VEAの内部に関しては、図2の電流源CS1に替えてトランジスタM1とM2の各ソースの共通接続点にトランジスタM9とM10の各ドレインを接続する。また、図2の回路の電流源CS2に替えてトランジスタM3のドレインにトランジスタM11のドレインをトランジスタM16の主電流路を介して接続する。

【0031】

3つのデプレッションNチャネル型のトランジスタM9、M10、M11の各ゲートは共通接続した上でグラウンドに接続する。トランジスタM9、M10、M11の各ソースの共通接続点は、ゲートがグラウンドに接続されたデプレッションNチャネル型のトランジスタM12の主電流路を介してグラウンドに接続する。トランジスタM12に対して並列にエンハンスメントNチャネル型のトランジスタ

M13を設け、トランジスタM13のゲートを外部信号入力端子4に接続する。

【0032】

トランジスタM1とトランジスタM7の各ドレインの間にデプレッションNチャネル型のトランジスタM14の主電流路を、トランジスタM2とトランジスタM8の各ドレインの間にデプレッションNチャネル型のトランジスタM15の主電流路をそれぞれ接続する。そしてトランジスタM14、M15、M16の各ゲートを基準電圧入力端子3に接続する。トランジスタM3のソースと入力端子1との間に、そのゲートがグランドに接続されたエンハンスメントPチャネル型のトランジスタM17の主電流路を接続する。

そして誤差増幅器VEAの外部では、位相補償用のコンデンサC1を抵抗R1に対して並列に接続する。

【0033】

以上のような構成とした図5の回路の動作は、信号(S_g)に応じてゲインを切替えることにおいて図2の回路と全く同じになる。しかしそれ以外にも、トランジスタM12とM13により、増幅段の段数の変化に合わせてトランジスタM9、M10、M11の通過電流を変化させる。つまり、負荷のアクティブモード、スリープモードに対応して誤差増幅器VEAの動作電流、すなわちトランジスタM1とM2が設けられた差動増幅回路とトランジスタM3が設けられた増幅段の動作電流を変化させるようになっている。

【0034】

例えば、負荷がアクティブモードで外部制御信号入力端子4に供給される信号(S_g)がハイレベルになると、図5の回路の信号の増幅段数は図2の回路と同様に3段になる。

ここでトランジスタM13は信号(S_g)がハイレベルであることによりオン状態となる。すると電流源を構成するトランジスタM9、M10、M11は、そのソース、ゲート間の電圧がほぼゼロに等しくなり、それぞれドレイン遮断電流(I_{DSS})に見合った電流を通過させる。

【0035】

次に、負荷がスリープモードで外部制御信号入力端子4に供給される信号(S

g) がローレベルになると、図 5 の回路の信号の増幅段数は図 2 の回路と同様に 2 段になる。

ここでトランジスタ M13 は信号 (S_g) がローレベルであることによりオフ状態となる。するとトランジスタ M13 に代わってトランジスタ M12 が、そのドレイン遮断電流 (I_{DSS}) に見合った電流を通過させる。この時、各トランジスタ M9、M10、M11 を通過する電流の総量はトランジスタ M12 によって制限され、その結果、トランジスタ M13 がオン状態である時よりも小さくなる。

【0036】

このように図 5 の誤差増幅器 VEA は、ゲインが高い状態ではそれに見合った動作電流を流通させ、逆にゲインが低い状態では動作電流を絞るという動作をする。これにより、負荷がスリープモードである時に消費電力を低下させ、定電圧電源の省電力化が図れるものとなっている。

なお、図 5 のゲートが基準電圧入力端子 3 に接続された 3 つのトランジスタ M14、M15、M16 は、基準電圧が供給されていない状態での定電圧電源の誤作動を防止するスイッチである。またトランジスタ M17 はトランジスタ M3 と共にカスコード増幅回路を構成するものである。

【0037】

以上までの各実施例の説明において、トランジスタ M3 と M4 の各パラメータ (トランジスタのチャネル幅とチャネル長の比) は等しいと仮定した。しかしトランジスタ M3 と M4 の各パラメータは必ずしも等しい必要は無く、2 つのパラメータの比率が図 3 に示す等価回路の構成でトランジスタ M3 に現れる増幅率よりも格段に低い値であれば、異なっても良い。また、トランジスタ M3 を含む増幅回路部分を誤差増幅器 VEA の出力増幅段回路としてではなく、中間増幅段回路の一つとして構成し、別途、出力増幅段回路や中間増幅段回路を設けるようにしても良い。この他にも、例えば基準電圧発生回路を定電圧電源に内蔵させる、トランジスタのタイプを変えるなど、本発明の要旨を損なわない範囲での回路の変形は可能である。

【0038】

【発明の効果】

以上に説明したように本発明による定電圧電源は、直列制御用パワートランジスタの動作を制御するための誤差増幅器の内部に、差動対を形成するようにソースが共通接続された第1と第2のトランジスタを備える差動増幅回路と、第2のトランジスタのドレインにゲートが接続された第3のトランジスタを備える増幅段回路を設ける。そして第3のトランジスタとチャネル幅とチャネル長の比がほぼ同じ第4のトランジスタを設け、第3のトランジスタとカレントミラー回路を構成するように、第4のトランジスタのゲートとソースを第3のトランジスタのゲートに接続する。そして更に、第4のトランジスタのドレインに外部制御信号に応じてオンオフする第1のスイッチを接続する構成を特徴としている。

【0039】

このような構成とした本発明による定電圧電源によれば、追加素子数を最小限に抑えながらも外部制御信号に応じて誤差増幅器のゲインを切替えることが可能となる。その結果、本発明による定電圧電源は、アクティブモードでの高速応答特性とスリープモードでの動作安定性を両立させることができ、また集積回路上に形成する際に回路面積を縮小できる。

【図面の簡単な説明】

【図1】 本発明による定電圧電源の実施例のブロック図。

【図2】 図1の誤差増幅器の内部を具体的に示した回路図。

【図3】 信号（S_g）がハイレベルの時の図2の回路の等価回路図。

【図4】 信号（S_g）がローレベルの時の図2の回路の等価回路図。

【図5】 図2の誤差増幅器の内部を更に詳細に示した回路図。

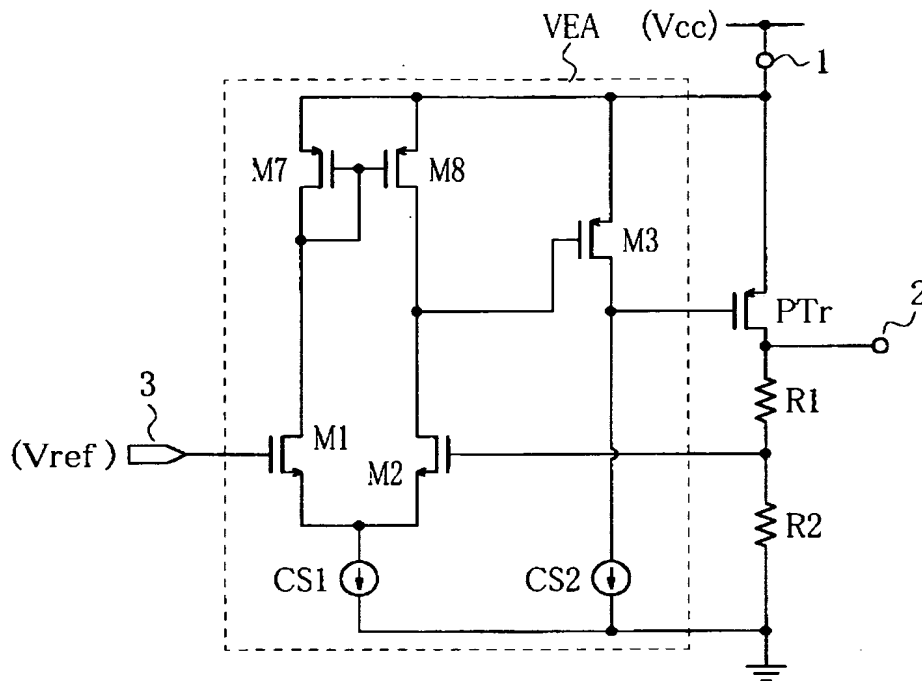
【図6】 特性の異なる2つの誤差増幅器を切替えて使用する形態となっている従来の定電圧電源のブロック図。

【符号の説明】

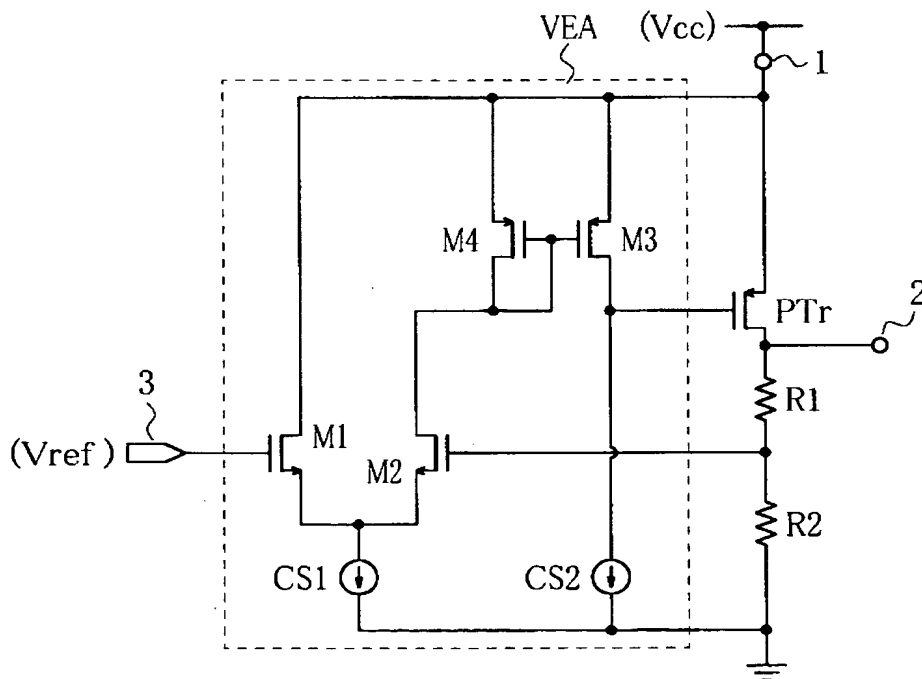
1：定電圧電源の入力端子 2：定電圧電源の出力端子 3：基準電圧
入力端子 4：外部信号入力端子 5：負荷 6：切替え論理回路
VEA：誤差増幅器 A1：差動増幅回路（第1の増幅回路）
A2：出力増幅段回路（第2の増幅回路） M1：（第1の）トランジスタ

M2：(大2の)トランジスタ M3：(第3の)トランジスタ
M4：(第4の)トランジスタ M5：(第1のスイッチとしての)ト
ランジスタ M6：(第2のスイッチとしての)トランジスタ M7：(
第1の能動負荷としての)トランジスタ M8：(第2の能動負荷としての
)トランジスタ P T r：直列制御用パワートランジスタ

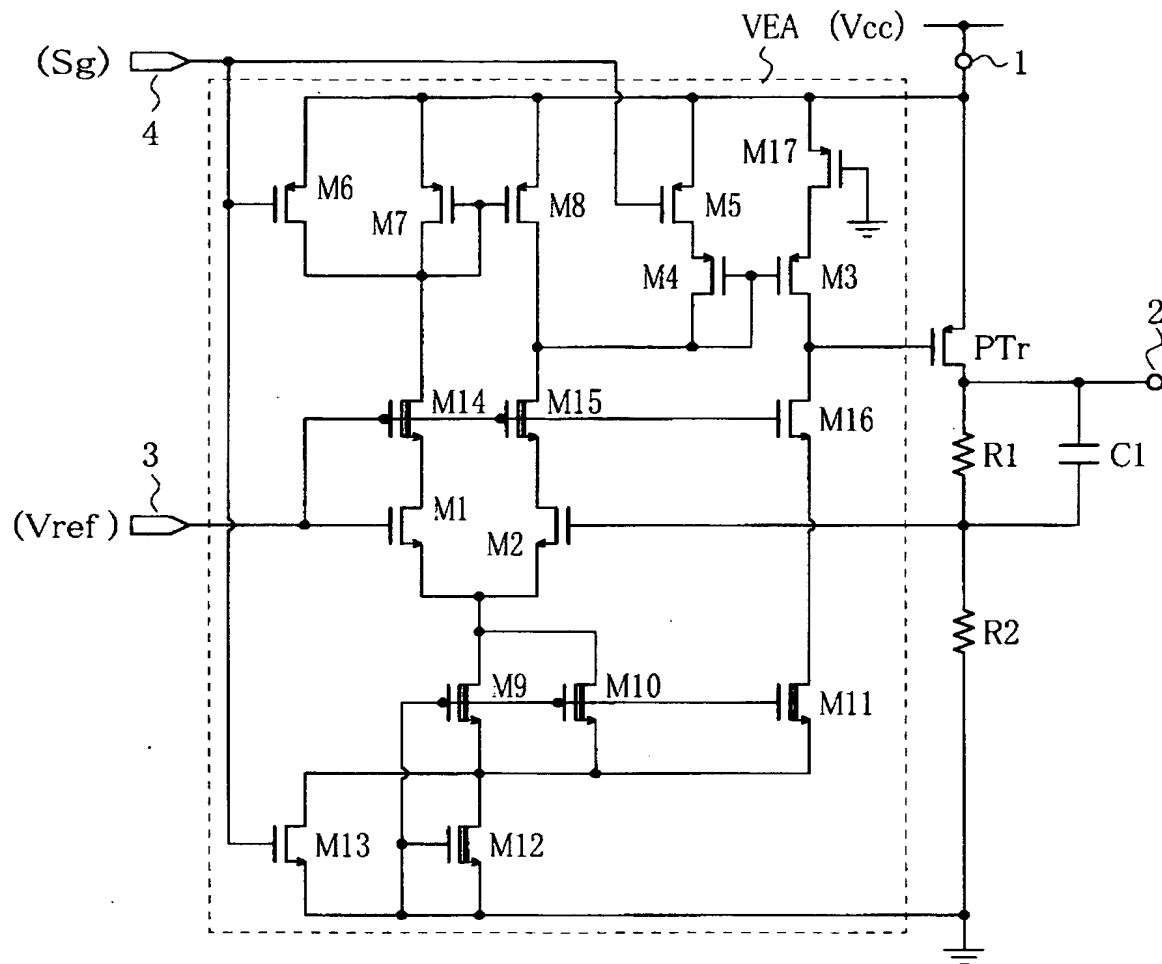
【図 3】



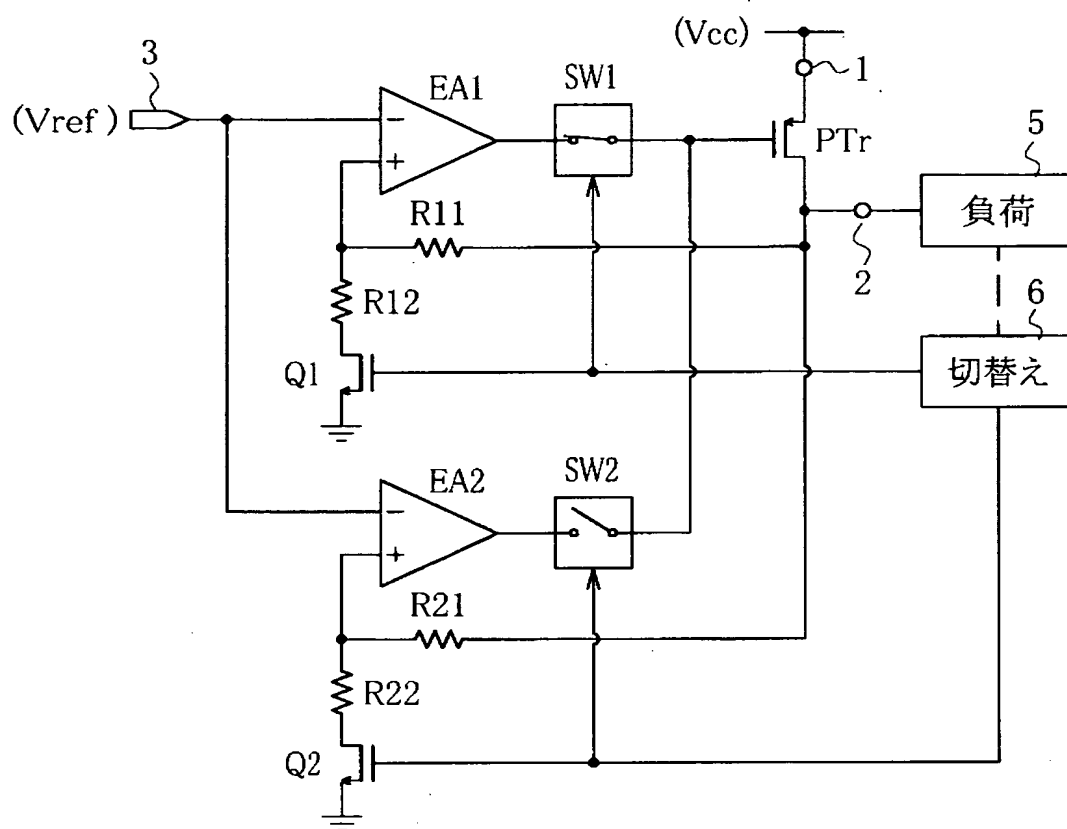
【圖 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 アクティブモード時の高速応答特性とスリープモード時の動作安定性を両立すると同時に、集積回路上に形成する際の回路面積を縮小する。

【解決手段】 差動対を形成するようにソースが共通接続されたトランジスタM1、M2と、トランジスタM2のドレインにゲートが接続されたトランジスタM3を備えた誤差増幅器VEAによって、パワートランジスタPT_rの動作を制御する。ここで、誤差増幅器VEAのゲインを切替えるために、トランジスタM3とチャネル幅とチャネル長の比がほぼ同じトランジスタM4を設け、トランジスタM3とカレントミラー回路を構成するように、トランジスタM4のゲートとソースをトランジスタM3のゲートに接続する。そして更に、トランジスタM4のドレインに外部制御信号(S_g)に応じてオンオフするトランジスタM5を接続する。

【選択図】 図1


認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 0 6 0 7
受付番号	5 0 2 0 1 7 7 4 0 6 9
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 4 年 1 1 月 2 8 日

< 認定情報・付加情報 >

【提出日】	平成14年11月25日
-------	-------------

次頁無



特願 2 0 0 2 - 3 4 0 6 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

東京都大田区東雪谷 2 丁目 1 番 1 7 号

氏 名

東光株式会社